



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 9 6 0 7 6  
Application Number:

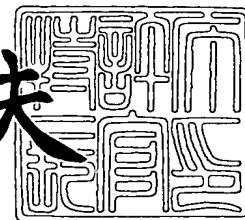
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 6 0 7 6 ]

出      願      人                      独 立 行 政 法 人 通 信 総 合 研 究 所  
Applicant(s):


2 0 0 4 年    1 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 1 2 5 5

【書類名】 特許願

【整理番号】 P03-0001

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

【住所又は居所】 東京都小金井市貫井北町 4 - 2 - 1 独立行政法人通信  
総合研究所内

【氏名】 李 佳

【発明者】

【住所又は居所】 東京都小金井市貫井北町 4 - 2 - 1 独立行政法人通信  
総合研究所内

【氏名】 ペパー フェルディナンド

【発明者】

【住所又は居所】 東京都小金井市貫井北町 4 - 2 - 1 独立行政法人通信  
総合研究所内

【氏名】 足立 進

【特許出願人】

【識別番号】 301022471

【氏名又は名称】 独立行政法人通信総合研究所

【代理人】

【識別番号】 100092783

【弁理士】

【氏名又は名称】 小林 浩

【電話番号】 03-3273-2611

【選任した代理人】

【識別番号】 100095360

【弁理士】

【氏名又は名称】 片山 英二



【選任した代理人】

【識別番号】 100093676

【弁理士】

【氏名又は名称】 小林 純子

【選任した代理人】

【識別番号】 100116850

【弁理士】

【氏名又は名称】 廣瀬 隆行

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0203751

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 非同期モードで動作する可逆論理素子

【特許請求の範囲】

【請求項 1】 信号を入力可能な 3 本の入力線 {T, T', S}、出力手段により信号を出力可能な 3 本の出力線 {T<sub>A</sub>, T<sub>B</sub>, S'}、状態制御手段により制御可能な 2 つの状態 (A 状態と B 状態)、3 本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A 状態と B 状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、

前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>A</sub> に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を B 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>B</sub> に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を A 状態のまま、前記出力手段が信号を出力線 S' に出力するように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出

力線  $T_A$  に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、入力線  $T'$  に信号が入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T'$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を B 状態のまま、前記出力手段が信号を出力線  $T_B$  に出力するように制御する、

可逆素子。

【請求項 2】 前記信号が、電気信号である請求項 1 に記載の可逆素子。

【請求項 3】 請求項 1 に記載の可逆素子を用いた論理回路の設計方法。

【請求項 4】 請求項 1 に記載の可逆素子を用いたコンピュータの設計方法。

【請求項 5】 コンピュータを請求項 1 に記載の可逆素子として機能させるためのプログラム。

【請求項 6】 請求項 5 に記載のプログラムを記録した記録媒体。

【請求項 7】 信号を入力可能な 3 本の入力線  $\{T, T', S\}$ 、出力手段により信号を出力可能な 3 本の出力線  $\{T_A, T_B, S'\}$ 、状態制御手段により制御可能な 2 つの状態（A 状態と B 状態）、3 本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A 状態と B 状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、

前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線  $T$  から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_A$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を B 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線  $T$  から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力

線  $T_B$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を A 状態のまま、前記出力手段が信号を出力線 S' に出力するように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出力線  $T_A$  に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、入力線  $T'$  に信号が入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T'$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を B 状態のまま、前記出力手段が信号を出力線  $T_B$  に出力するように制御する

可逆素子。

【請求項 8】 前記信号が、電気信号である請求項 7 に記載の可逆素子。

【請求項 9】 請求項 7 に記載の可逆素子を用いた論理回路の設計方法。

【請求項 10】 請求項 7 に記載の可逆素子を用いたコンピュータの設計方法。

【請求項 11】 コンピュータを請求項 7 に記載の可逆素子として機能させるためのプログラム。

【請求項 12】 請求項 11 に記載のプログラムを記録した記録媒体。

【請求項 13】 信号を入力可能な 2 本の入力線  $\{S, T\}$ 、出力手段により信号を出力可能な 2 本の出力線  $\{T_A, T_B\}$ 、状態制御手段により制御可能な 2 つの状態 (A 状態と B 状態)、2 本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A 状態と B 状態を判断可能な状態判断手段、および制御

手段とを持つ第 1 の可逆素子であって、

前記状態判断手段が、前記第 1 の可逆素子が A 状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記第 1 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 1 の可逆素子の状態を B 状態に変えるように制御し、

前記状態判断手段が、前記第 1 の可逆素子が B 状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記第 1 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 1 の可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記第 1 の可逆素子が A 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記第 1 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 1 の可逆素子の状態を A 状態のままにするように制御し、

前記状態判断手段が、前記第 1 の可逆素子が B 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記第 1 の可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 1 の可逆素子の状態を B 状態のままとするように制御する第 1 の可逆素子と、

信号を入力可能な 2 本の入力線 {T<sub>A</sub>, T<sub>B</sub>}、出力手段により信号を出力可能な 2 本の出力線 {S, T}、状態制御手段により制御可能な 2 つの状態 (A 状態と B 状態) 2 本の入力線のいずれから信号が入力されたか識別する入力情報識別

手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ第2の可逆素子であって、

前記状態判断手段が、前記第2の可逆素子がB状態にあると判断した場合に、信号が入力線 $T_A$ から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 $T_A$ から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 $T$ に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をA状態に変えるように制御し、

前記状態判断手段が、前記第2の可逆素子がA状態にあると判断した場合に、信号が入力線 $T_B$ から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 $T_B$ から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 $T$ に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をB状態に変えるように制御し、

前記状態判断手段が、前記第2の可逆素子がA状態にあると判断した場合に、信号が入力線 $T_A$ から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 $T_A$ から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 $S$ に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をA状態のままとするように制御し、

前記状態判断手段が、前記第2の可逆素子がB状態にあると判断した場合に、信号が入力線 $T_B$ から入ると、前記状態判断手段は前記第2の可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 $T_B$ から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 $S$ に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をB状態のままとするように制御する第2の可逆素子の2つの可逆素子からなる可逆素子群。

【請求項14】 前記信号が、電気信号である請求項13に記載の可逆素子群。

【請求項15】 請求項13に記載の可逆素子群を用いた論理回路の設計方法。



【請求項 16】 請求項 13 に記載の可逆素子群を用いたコンピュータの設計方法。

【請求項 17】 コンピュータを請求項 13 に記載の第 1 の可逆素子、および第 2 の可逆素子として機能させるためのプログラム。

【請求項 18】 請求項 17 に記載のプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、非同期可逆素子、および当該可逆素子を用いた論理回路の設計方法、コンピュータの設計方法などに関する。

【0002】

【従来の技術】

ミクロな物理現象は基本的に可逆である。可逆論理によれば、理想的には発熱しない高効率で実用的な計算機を設計できる。このため、可逆論理に関する研究がこれまで広範囲に行われてきた。しかし、これらの可逆論理に関する研究は、いずれも同期型のシステムを前提としており、すべての素子が中央クロックに従って一斉にスイッチするものであった。たとえば、フレドキン (Fredkin) ゲートは、すべての入力信号が完全に同時に到着しないと正常に動作しないものであった (Fredkin E and Toffoli T 1982 Conservative logic Int. J. Theoret. Phys. 21 219-253)。

【0003】

一方、非同期システムは、演算のランダム性が生じる可能性がある。このため、非同期システムでは、可逆計算に付随する逆方向の一意性 (Backward determinism) を達成できないとも考えられる。とはいえ、依然としてミクロスケールの物理的相互作用は、通常非同期である。可逆性を有するシステムと同様、非同期性を有するシステムは、いくつかの理由によって論理演算のエネルギー消費を減らす傾向にある。たとえば、非同期システムの素子は、実行すべき作業がなければスリープ状態に入ることができる。一方、同期システムでは、動作をしていない素子でもクロック信号を受ければ必ずダミーのスイッチングを実施する必要

がある (Hauck S 1995 Asynchronous design methodologies: an overview Proc . IEEE 83 (1) 69-93, Patra P 1995 Approaches to design of circuits for low-power computation Ph. D. Thesis University of Texas at Austin) 。また非同期システムの素子は、中央クロック信号が不要になるので、論理回路のハードウェア構造が簡単になる傾向がある。

#### 【0 0 0 4】

計算タスクを非同期で実行できる万能可逆計算機として、森田は回転要素 (Rotary Element : R E) と呼ばれる可逆素子を用いたものを提示した (Kenichi Morita, 'A Simple Universal Logic Element and Cellular Automata for Reversible Computing' MCU 2001, LNCS 2055, pp. 102-113, 2001 (非特許文献 1) ) 。R E は、どのような場合も回路全体を動き回る信号数 (入出力信号) が最大 1 つである。任意の可逆型チューリングマシン (Turing machine) は、R E を用いた回路を用いて構成できる。R E または入出力線に遅延が生じて、R E を用いた回路における正常な計算過程にまったく影響が及ばない。このため、R E を用いた回路は「delay-Insensitive (耐遅延)」回路の特徴を持つ。したがって、R E から構成されるこの種の可逆計算機は、非同期モードで動作でき、各 R E の演算において中央クロック信号を必要としない。

#### 【0 0 0 5】

1 つの R E には 4 本の入力線、4 本の出力線および 2 つの内部状態が存在する。R E を用いれば非同期の演算を行う可逆計算機を実現できる。しかしながら、R E は合計 8 本の入出力線を有するため、入出力線の本数に関しては、R E を用いた可逆素子は複雑であるという問題がある。

#### 【0 0 0 6】

##### 【非特許文献 1】

Kenichi Morita, 'A Simple Universal Logic Element and Cellular Automata for Reversible Computing' MCU 2001, LNCS 2055, pp. 102-113, 2001

#### 【0 0 0 7】

##### 【発明が解決しようとする課題】

一般的に、素子が簡単であればあるほど、素子の実用範囲が広がる。そこで、

本発明は、従来の R E に比べて入出力線の本数の少ない可逆素子、及びそのような可逆素子を用いた回路を提供することを目的とする。

# 【0008】

## 【課題を解決するための手段】

上記課題は、以下の発明により解決される。

(1) 第1の態様にかかる発明は、「信号を入力可能な3本の入力線 {T, T', S}、出力手段により信号を出力可能な3本の出力線 {T<sub>A</sub>, T<sub>B</sub>, S'}、状態制御手段により制御可能な2つの状態 (A状態とB状態)、3本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>A</sub> に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線 T<sub>B</sub> に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態をA状態のまま、前記出力手段が信号を出力線 S' に出力するように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力した

という情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出力線  $T_A$  に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、入力線  $T'$  に信号が入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T'$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を B 状態のまま、前記出力手段が信号を出力線  $T_B$  に出力するように制御する可逆素子」に関する。この可逆素子は、ハードウェア上で実現可能である。

(2) 第 1 の態様にかかる発明は、好ましくは、前記信号が、電気信号である前記 (1) に記載の可逆素子である。

(3) 第 1 の態様にかかる発明は、好ましくは、前記 (1) に記載の可逆素子を用いた論理回路の設計方法である。

(4) 第 1 の態様にかかる発明は、好ましくは、前記 (1) に記載の可逆素子を用いたコンピュータの設計方法である。

(5) 第 1 の態様にかかる発明は、好ましくは、コンピュータを前記 (1) に記載の可逆素子として機能させるためのプログラムである。

(6) 第 1 の態様にかかる発明は、好ましくは、前記 (5) に記載のプログラムを記録した記録媒体である。

#### 【0 0 0 9】

(7) 第 1 の態様にかかる発明の別の態様にかかる発明は、信号を入力可能な 3 本の入力線  $\{T, T', S\}$ 、出力手段により信号を出力可能な 3 本の出力線  $\{T_A, T_B, S'\}$ 、状態制御手段により制御可能な 2 つの状態 (A 状態と B 状態)、3 本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A 状態と B 状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線  $T$  から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信

号を出力線  $T_A$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を B 状態に変えるように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 T から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_B$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、前記状態判断手段が、前記可逆素子が A 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を A 状態のまま、前記出力手段が信号を出力線  $S'$  に出力するように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出力線  $T_A$  に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、入力線  $T'$  に信号が入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T'$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を B 状態のまま、前記出力手段が信号を出力線  $T_B$  に出力するように制御する可逆素子」である。

この可逆素子は、ハードウェアなどとして実現される。

(8) 第 1 の態様にかかる発明の別の態様にかかる発明は、好ましくは、前記信号が、電気信号である前記 (7) に記載の可逆素子である。

(9) 第 1 の態様にかかる発明の別の態様にかかる発明は、好ましくは、前記 (7) に記載の可逆素子を用いた論理回路の設計方法である。

(10) 第 1 の態様にかかる発明の別の態様にかかる発明は、好ましくは、前

記(7)に記載の可逆素子を用いたコンピュータの設計方法である。

(11) 第1の態様にかかる発明の別の態様にかかる発明は、好ましくは、コンピュータを前記(7)に記載の可逆素子として機能させるためのプログラムである。

(12) 第1の態様にかかる発明の別の態様にかかる発明は、好ましくは、前記(11)に記載のプログラムを記録した記録媒体である。

#### 【0010】

(13) 第2の態様にかかる発明は、「信号を入力可能な2本の入力線 {S, T}、出力手段により信号を出力可能な2本の出力線 {T<sub>A</sub>, T<sub>B</sub>}、状態制御手段により制御可能な2つの状態(A状態とB状態)、2本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ第1の可逆素子であって、前記状態判断手段が、前記第1の可逆素子がA状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記第1の可逆素子がB状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記第1の可逆素子がA状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の

状態をA状態のままにするように制御し、前記状態判断手段が、前記第1の可逆素子がB状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記第1の可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をB状態のままとするように制御する第1の可逆素子と、信号を入力可能な2本の入力線{T<sub>A</sub>, T<sub>B</sub>}、出力手段により信号を出力可能な2本の出力線{S, T}、状態制御手段により制御可能な2つの状態(A状態とB状態)2本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ第2の可逆素子であって、前記状態判断手段が、前記第2の可逆素子がB状態にあると判断した場合に、信号が入力線T<sub>A</sub>から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線T<sub>A</sub>から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線Tに出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記第2の可逆素子がA状態にあると判断した場合に、信号が入力線T<sub>B</sub>から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線T<sub>B</sub>から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線Tに出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記第2の可逆素子がA状態にあると判断した場合に、信号が入力線T<sub>A</sub>から入ると、前記状態判断手段は前記第2の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線T<sub>A</sub>から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線Sに出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をA状態のままとするように制御し、前記状態判断手段

が、前記第2の可逆素子がB状態にあると判断した場合に、信号が入力線T<sub>B</sub>から入ると、前記状態判断手段は前記第2の可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線T<sub>B</sub>から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線Sに出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第2の可逆素子の状態をB状態のままとするように制御する第2の可逆素子の2つの可逆素子からなる可逆素子群」である。

(14) 第2の態様にかかる発明は、好ましくは、前記信号が、電気信号である前記(13)に記載の可逆素子群である。

(15) 第2の態様にかかる発明は、好ましくは、前記(13)に記載の可逆素子群を用いた論理回路の設計方法である。

(16) 第2の態様にかかる発明は、好ましくは、前記(13)に記載の可逆素子群を用いたコンピュータの設計方法である。

(17) 第2の態様にかかる発明は、好ましくは、コンピュータを前記(13)に記載の第1の可逆素子、および第2の可逆素子として機能させるためのプログラムである。

(18) 第2の態様にかかる発明は、好ましくは、前記(17)に記載のプログラムを記録した記録媒体である。

#### 【0011】

##### 【発明の実施の形態】

本発明の第1の実施態様は、3本の入力線、3本の出力線および2つの状態をもつ6線可逆素子に関する。また、本発明の第2の実施態様は、2本の入力線、2本の出力線および2つの状態をもつ2種類の4線可逆素子に関する。両素子は、対となる4線素子に対して互いに逆の論理機能を持つ。

#### 【0012】

第1の実施態様にかかる6線可逆素子のみからなる回路、及び第2の実施態様にかかる2つの4線可逆素子からなる回路によって、REの論理機能を実現できることを示す。その結果から、任意の可逆型チューリングマシン（すなわち、万能計算機）が、本発明の可逆素子を用いて構成できること、及び本発明の可逆素



子を用いた計算機が非同期モードにおいて可逆計算を実行できることが示される。

#### 【0013】

(RE)

まず、可逆性を有する非同期素子である RE について説明する。

図1に示されるように、REは、4本の入力線  $\{n, e, s, w\}$ 、4本の出力線  $\{n', e', s', w'\}$  および2つの状態（例えば、H状態とV状態）を有する。本明細書において、H状態とV状態とを、RE内の横棒と縦棒を用いて表す。すなわち、RE内の回転棒が横向きの場合をH状態、縦向きの場合をV状態とする。従来の論理素子と異なり、REの入出力に用いられる信号は、常に1つの値（一価）である。なお、信号としては、好ましくは電気信号である。REは、いずれかの入力線に信号が入らない限り状態を変えない。

#### 【0014】

信号がREの入力線のいずれかから入ってくると、REは以下の操作を実行する。図中、黒丸は信号を表す。図2（a）に示すように、信号がREの回転棒の向きと同じ方向から入ってきたときは、REは、回転棒の方向（REの状態）を変えことなく、そのまま対向する出力線に信号を出力する。一方、図2（b）に示すように、信号が回転棒に垂直な方向から入ってくると、REは、信号を右に曲げ、回転棒を90度回転する。なお、REの1対の入力線に信号が同時に入ることは許されない。すなわち、任意の時刻においてREが処理できる入力信号は最大1つである。

#### 【0015】

REの機能が可逆である理由は、信号が入ってくる入力線と信号操作を行う前のREの状態が、もっぱら、REによって信号が送り出される出力線と信号操作後のREの状態とによって一意に決まるということによる。また入力と出力で信号数が変わらないため、REは保存則を満たす。

#### 【0016】

ここで、REが同期回路の論理ゲートとして使用される場合、入力信号の操作に中央クロックを使用すれば、ひとつの操作にはちょうど1単位時間かかること

になる（非特許文献1）。一方、REは可逆型チューリングマシンの構成において非同期処理が可能なため、操作を中央クロック信号に合わせる必要がなく、任意の時間において処理することが可能である（非特許文献1）。

#### 【0017】

（6線可逆素子）

以下、本発明の第1の実施態様にかかる可逆素子（以下、単に「第1の可逆素子」ともいう。）について説明する。第1の可逆素子は、図3に示されるように、3本の入力線  $\{T, T', S\}$ 、3本の出力線  $\{T_A, T_B, S'\}$  および2つの状態（A状態とB状態）をもつ。

#### 【0018】

第1の実施態様にかかる可逆素子は、例えば、信号を入力可能な3本の入力線  $\{T, T', S\}$ 、出力手段により信号を出力可能な3本の出力線  $\{T_A, T_B, S'\}$ 、状態制御手段により制御可能な2つの状態（A状態とB状態）、3本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線S

から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を A 状態のまま、前記出力手段が信号を出力線 S' に出力するように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、信号が入力線 S から入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 S から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出力線 T<sub>A</sub> に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態を A 状態に変えるように制御し、前記状態判断手段が、前記可逆素子が B 状態にあると判断した場合に、入力線 T' に信号が入ると、前記状態判断手段は前記可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線 T' から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態を B 状態のまま、前記出力手段が信号を出力線 T<sub>B</sub> に出力するように制御する可逆素子により達成できる。

#### 【0019】

例えば、制御手段は、状態判断手段からの情報により選択すべき表情報を選択し、下記表 1 および表 2 に記載したテーブルを参照し、入力情報識別手段からの入力線情報に従って、状態制御手段、出力手段、入力禁止手段へ指令を伝える。

#### 【0020】

##### 【表 1】

表 1 可逆素子が A 状態における、入力線情報と、状態制御手段、出力手段、入力禁止手段への指令の関係を表す。

入力線	出力手段	状態制御手段
T	T <sub>A</sub>	B
S	S'	A

#### 【0021】

##### 【表 2】

表 2 可逆素子が B 状態における、入力線情報と、状態制御手段、出力手段、入力禁止手段への指令の関係を表す。

入力線	出力手段	状態制御手段
-----	------	--------

T	T <sub>B</sub>	A
S	T <sub>A</sub>	A
T'	T <sub>B</sub>	B

## 【0022】

以下、図4を用いて本発明の第1の実施態様にかかる素子の基本動作を説明する。図4において、白丸が第一の可逆素子の左部分に位置するときをA状態、右部分に位置するときをB状態として区別する。

## 【0023】

信号が、いずれかの入力線から第1の可逆素子に入ると、第1の可逆素子は次のような操作を行う。図4(a)に示されるように、第1の可逆素子がA状態にある場合に、信号が入力線Tから入ると、信号は出力線T<sub>A</sub>に送り出され、状態がBに変わる。また、同じく図4(a)に示されるように、第1の可逆素子がB状態にある場合に、信号が入力線Tから入ると、信号は出力線T<sub>B</sub>に送り出され、状態がAに変わる。

## 【0024】

図4(b)に示されるように、第1の可逆素子がA状態にある場合に信号が入力線Sから入ると、信号は出力線S'に送り出される。このとき第1の可逆素子の状態はAになる。また、同じく図4(b)に示されるように、第1の可逆素子がB状態にある場合に信号が入力線Sから入ると、信号は出力T<sub>A</sub>に送り出される。このときも第1の可逆素子の状態はAになる。

## 【0025】

図4(c)に示されるように、第1の可逆素子がB状態にある場合、入力線T'に信号が入ると出力線T<sub>B</sub>に送られ、第1の可逆素子の状態は変化しない。なお、第1の可逆素子A状態にあるとき、入力線T'に信号が入力された場合の処理については定義をしない。上記の第1の可逆素子では、可逆素子をできるだけ簡単にするために、そのような操作を省略している。

さらに、第1の可逆素子では、複数の入力線に信号が同時に入るとは許されない。以上から、図3に示す第1の可逆素子は、明らかに可逆であり、また保存則を満たす。

## 【0026】

本発明における第1の実施態様の別の態様は、信号を入力可能な3本の入力線  $\{T, T', S\}$ 、出力手段により信号を出力可能な3本の出力線  $\{T_A, T_B, S'\}$ 、状態制御手段により制御可能な2つの状態（A状態とB状態）、3本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ可逆素子であって、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>A</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線T<sub>B</sub>に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記可逆素子がA状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態をA状態のまま、前記出力手段が信号を出力線S'に出力するように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記出力手段が信号を出力線T<sub>A</sub>に出力するように制御し、前記制御手段は前記状態制御手段が前記可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記可逆素子がB状態にあると判断した場合に、入力線T'に信号が入ると、前記状

状態判断手段は前記可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線T'から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は、前記可逆素子の状態をB状態のまま、前記出力手段が信号を出力線T<sub>B</sub>に出力するように制御する可逆素子である。

#### 【0027】

この実施態様において、例えば、制御手段は、状態判断手段からの情報により選択すべき表情報を選択し、下記表3および表4に記載したテーブルを参照し、入力情報識別手段からの入力線情報に従って、状態制御手段、出力手段へ指令を伝える。

#### 【0028】

##### 【表3】

表3 可逆素子がA状態における、入力線情報と、状態制御手段、出力手段への指令の関係を表す。

入力線	出力手段	状態制御手段
T	T <sub>A</sub>	B
S	S'	A
T'	S'	B

#### 【0029】

##### 【表4】

表4 可逆素子がA状態における、入力線情報と、状態制御手段、出力手段、入力禁止手段への指令の関係を表す。

入力線	出力手段	状態制御手段
T	T <sub>B</sub>	A
S	T <sub>A</sub>	A
T'	T <sub>B</sub>	B

#### 【0030】

(C-Dモジュール)

この第1の可逆素子を用いてREを構成する前に、ある有用なモジュールを提案する。このモジュールを「符号化-復号化(C-D)モジュール」とよぶ。C

C-Dモジュールは、図5(a)に示されるように、4本の入力線  $\{C_0, C_1, C_2, D\}$ 、4本の出力線  $\{D_0, D_1, D_2, C\}$  および3つの状態  $\{0, 1, 2\}$  をもち、「0」が初期状態である。C-Dモジュールが状態0でないかぎり、信号は入力線  $C_0, C_1, C_2$  から入ってこない。入力線  $C_I$  ( $I \in \{0, 1, 2\}$ ) に信号が入ると、C-Dモジュールの状態は「0」から「I」に変わり、信号は出力線Cに送られる。逆に、C-Dモジュールの状態が「I」のときに入力線Dから入ってきた信号は出力線  $D_I$  に送られ、状態は必ず「0」にリセットされる。また、C-Dモジュールが1度に処理できる入力信号数は最大1つである。

#### 【0031】

図5(b)に、C-Dモジュールを第1の可逆素子を用いて構成したものを示す。図5(b)に示されるモジュールが、C-Dモジュールの機能を果たすことは明白である。

#### 【0032】

図6に、第1の可逆素子本明細書を用いてREを実現化する具体的構成を示す。4つの素子  $N_S, N_e, N_n, N_w$  がそれぞれAB状態、A, BにあるときREは状態Vを呈し、逆に  $N_S, N_e, N_n, N_w$  がそれぞれB状態、A, B, AにあるときREは状態Hを呈する。このことから、上記の非特許文献1に記載されているように回路内に最大1つの信号しか存在しない任意の可逆型チューリングマシンが、第1の可逆素子からなる回路によって構成できることがわかる。このように、第1の可逆素子は論理的に万能であり、中央クロック信号を必要とせずに非同期モードで動作することができる。

#### 【0033】

##### (4線可逆素子)

つぎに、本発明の第2の実施態様にかかる第2の可逆素子群について説明する。第2の可逆素子群の1つの素子をリーディングトグル (Reading Toggle: RT) と呼ぶ。図7に示すように、RTは、2本の入力線  $\{S, T\}$ 、2本の出力線  $\{T_A, T_B\}$  および2つの状態  $\{A, B\}$  をもつ。第2の可逆素子群のもう1つの素子を逆RT (Inverse Reading Toggle: IRT) と呼ぶ。図8に示されるように、IRTは、2本の入力線  $\{T_A, T_B\}$ 、2本の出力線  $\{S, T\}$  および2

つの状態  $\{A, B\}$  をもつ。

【0034】

本発明の第2の実施態様にかかる可逆素子は、例えば、信号を入力可能な2本の入力線  $\{S, T\}$ 、出力手段により信号を出力可能な2本の出力線  $\{T_A, T_B\}$ 、状態制御手段により制御可能な2つの状態（A状態とB状態）、2本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A状態とB状態を判断可能な状態判断手段、および制御手段とを持つ第1の可逆素子であって、前記状態判断手段が、前記第1の可逆素子がA状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_A$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をB状態に変えるように制御し、前記状態判断手段が、前記第1の可逆素子がB状態にあると判断した場合に、信号が入力線Tから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Tから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_B$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をA状態に変えるように制御し、前記状態判断手段が、前記第1の可逆素子がA状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記第1の可逆素子がA状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_A$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第1の可逆素子の状態をA状態のままにするように制御し、前記状態判断手段が、前記第1の可逆素子がB状態にあると判断した場合に、信号が入力線Sから入ると、前記状態判断手段は前記第1の可逆素子がB状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線Sから信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T_B$  に出



力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 1 の可逆素子の状態を B 状態のままとするように制御する第 1 の可逆素子が挙げられ、本明細書の R T として機能する。

### 【0 0 3 5】

例えば、この実施態様の第 1 の可逆素子における制御手段は、状態判断手段からの情報により選択すべき表情報を選択し、下記表 5 および表 6 に記載したテーブルを参照し、入力情報識別手段からの入力線情報に従って、状態制御手段、出力手段へ指令を伝える。

### 【0 0 3 6】

#### 【表 5】

表 5 第 1 の可逆素子が A 状態における、入力線情報と、状態制御手段、出力手段への指令の関係を表す。

入力線	出力手段	状態制御手段
T	T <sub>A</sub>	B
S	T <sub>A</sub>	A

### 【0 0 3 7】

#### 【表 6】

表 6 第 1 の可逆素子が B 状態における、入力線情報と、状態制御手段、出力手段への指令の関係を表す。

入力線	出力手段	状態制御手段
T	T <sub>B</sub>	A
S	T <sub>B</sub>	B

### 【0 0 3 8】

本発明の第 2 の実施態様にかかる素子として、信号を入力可能な 2 本の入力線 {T<sub>A</sub>, T<sub>B</sub>}、出力手段により信号を出力可能な 2 本の出力線 {S, T}、状態制御手段により制御可能な 2 つの状態 (A 状態と B 状態) 2 本の入力線のいずれから信号が入力されたか識別する入力情報識別手段、A 状態と B 状態を判断可能な状態判断手段、および制御手段とを持つ第 2 の可逆素子であって、

前記状態判断手段が、前記第 2 の可逆素子が B 状態にあると判断した場合に、

信号が入力線  $T_A$  から入ると、前記状態判断手段は前記第 2 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T_A$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 2 の可逆素子の状態を A 状態に変えるように制御し、

前記状態判断手段が、前記第 2 の可逆素子が A 状態にあると判断した場合に、信号が入力線  $T_B$  から入ると、前記状態判断手段は前記第 2 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T_B$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $T$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 2 の可逆素子の状態を B 状態に変えるように制御し、

前記状態判断手段が、前記第 2 の可逆素子が A 状態にあると判断した場合に、信号が入力線  $T_A$  から入ると、前記状態判断手段は前記第 2 の可逆素子が A 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T_A$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $S$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 2 の可逆素子の状態を A 状態のままとするように制御し、前記状態判断手段が、前記第 2 の可逆素子が B 状態にあると判断した場合に、信号が入力線  $T_B$  から入ると、前記状態判断手段は前記第 2 の可逆素子が B 状態にあるという情報を前記制御手段へ伝え、前記入力情報識別手段は、入力線  $T_B$  から信号が入力したという情報を前記制御手段へ伝え、前記制御手段は前記出力手段が信号を出力線  $S$  に出力するように制御するとともに、前記制御手段は前記状態制御手段が前記第 2 の可逆素子の状態を B 状態のままとするように制御する第 2 の可逆素子は、この実施態様において例えば I R T として機能する。

#### 【0039】

この実施態様において、例えば、第 2 の可逆素子における制御手段は、状態判断手段からの情報により選択すべき表情報を選択し、下記表 7 および表 8 に記載したテーブルを参照し、入力情報識別手段からの入力線情報に従って、状態制御手段、出力手段へ指令を伝える。

【0 0 4 0】

【表 7】

表 7 第 2 の可逆素子が A 状態における、入力線情報と、状態制御手段、出力手段への指令の関係を表す。

入力線	出力手段	状態制御手段
$T_B$	T	B
$T_A$	S	A

【0 0 4 1】

【表 8】

表 8 第 2 の可逆素子が B 状態における、入力線情報と、状態制御手段、出力手段への指令の関係を表す。

入力線	出力手段	状態制御手段
$T_A$	T	A
$T_B$	S	B

【0 0 4 2】

以下、この実施の態様における第 1 および第 2 の可逆回路である R T と I R T の作用を説明する。どの入力線にも信号が入ってこない場合、R T と I R T に状態の変化はない。信号が R T のある入力線から入ると、R T は以下の操作を行う。図 9 (a) に示されるように、R T の状態が A のときに信号が入力線 T に入ると、信号は出力線  $T_A$  に送られ、状態は B に変わる。一方、R T の B 状態のときに信号が入力線 T に入ると、信号は出力線  $T_B$  に送られ、状態は A に変わる。また、図 9 (b) に示されるように、R T の状態が A のときに信号が入力線 S に入ると、信号は出力線  $T_A$  に送られ、状態は変わらない。一方、R T の状態が B のときに信号が入力線 S に入ると、信号は出力線  $T_B$  に送られ、状態は変わらない。

【0 0 4 3】

また I R T は、入力線から入る信号に対して、以下の操作を行う。図 10 (a) に示されるように、I R T の状態が B のときに信号が入力線  $T_A$  に入ると、信号を出力線 T に送り、状態が A に変わる。一方、I R T の状態が A のときに信号

が入力線  $T_B$  に入ると、信号を出力線  $T$  に送り、状態が  $B$  に変わる。図 10 (b) に示されるように、 $IRT$  の状態が  $A$  のときに信号が入力線  $T_A$  に入ると、信号が出力線  $S$  に送られ、素子の状態は変化しない。一方、 $IRT$  の状態が  $B$  のときに信号が入力線  $T_B$  に入ると、信号が出力線  $S$  に送られ、素子の状態は変化しない。 $RT$  または  $IRT$  の複数の入力線に信号が同時に入ってくることは許容されていない。 $RT$  と  $IRT$  がともに可逆であり、また互いに論理の上で逆の関係になっていることは明らかである。

#### 【0044】

図 11 に、図 5 (a) の  $C-D$  モジュールを  $RT$  と  $IRT$  で実現するための構成図を示す。これが正しく機能することは容易に検証できる。

#### 【0045】

図 12 に、 $RE$  を  $RT$  と  $IRT$  で実現するための構成を示す。すべての  $C-D$  モジュールは初期時刻において状態「0」である。図の  $RE$  は状態  $V$  である。なお、この  $RE$  の入出力線の位置は図 1 と異なっている。 $RT$  素子と  $IRT$  素子からなる 4 つのブロック  $(H_S, I_S, J_S)$ ,  $(H_e, I_e, J_e)$ ,  $(H_n, I_n, J_n)$ ,  $(H_w, I_w, J_w)$  がそれぞれ状態  $\{B, B, A\}$ ,  $\{A, A, B\}$ ,  $\{B, B, A\}$ ,  $\{A, A, B\}$  にあるとき、 $RE$  は状態  $V$  を呈し、また上記 4 つのブロック  $(H_S, I_S, J_S)$ ,  $(H_e, I_e, J_e)$ ,  $(H_n, I_n, J_n)$ ,  $(H_w, I_w, J_w)$  がそれぞれ状態  $\{A, A, B\}$ ,  $\{B, B, A\}$ ,  $\{A, A, B\}$ ,  $\{B, B, A\}$  にあるとき、 $RE$  は状態  $H$  を呈する。このことから、本明細書の  $RT$  素子と  $IRT$  素子が論理万能性をもつこと、ならびに非同期モードで動作することによって万能可逆計算機の構成が可能となることが示される。

#### 【0046】

第 1 の実施態様にかかる可逆素子、第 2 の実施態様にかかる可逆素子は、それぞれの手段を実現する素子などを用いることで、チップなどのハードウェアとして用いることができる。また、これらの可逆素子を用いれば、従来に比べ効率の良い可逆論理回路や可逆コンピュータなどを設計できる。可逆論理回路や可逆コンピュータでは、出力結果から入力を一意に推測することができるので、計算エラー訂正などに役立つ。また、熱力学の観点から、可逆であれば、計算に必要な

なエネルギー消費を少なく抑えることができる。

#### 【0047】

##### 【発明の効果】

本明細書では、3本の入力線、3本の出力線および2つの状態をもつ6線素子、およびいずれも2本の入力線、2本の出力線および2つの状態をもつ論理的に逆の2つの4線素子(RTとIRT)という3種類の新しい可逆素子を提示した。これらの可逆素子は「Kenichi Morita, 'A Simple Universal Logic Element and Cellular Automata for Reversible Computing' MCU 2001, LNCS 2055, pp. 102-113, 2001 (非特許文献1)」に示されたREよりも簡単であり、しかもREの機能が6線素子のみからなる回路、またはRTとIRTからなる回路によって実現される。したがって、上記の文献で提案されたような、任意の時刻において回路に最大1つの信号しか存在しない万能可逆計算機が、われわれの6線素子やRTとIRTの組み合わせによって構成できる。これにより、われわれの可逆素子は中央クロック信号を必要とせず計算タスクを非同期で実行することができる。最後に、私たちは4本の入出力線をもつ2種類の可逆素子を使用しているが、RTとIRTは互いに逆の論理機能を有することから、ハードウェアが容易に実現できる。

##### 【図面の簡単な説明】

【図1】 図1は、REを表す図である。図1(a)は、H状態のRE、図1(b)はV状態のREを表す。

【図2】 図2は、入力信号に対するREの操作を表す。図2(a)は平行な場合、図2(b)は垂直な場合を表す。

【図3】 図3は、6線可逆素子を表す図である。図3(a)はA状態、図3(b)はB状態を表す。

【図4】 図4は、入力線の信号に対する6線可逆素子の操作を表す図である。図4(a)は入力線T、図4(b)は入力線S、図4(c)は入力線T'から信号が入力した場合の6線可逆素子の操作を表す図である。

【図5】 図5(a)は、C-Dモジュール、図5(b)は6線可逆素子によって構成されるC-Dモジュールを表す図である。

【図 6】図 6 は、6 線可逆素子によって構成される R E を表す図である。

【図 7】図 7 は、R T 素子を表す図である。図 7 (a) は A 状態、図 7 (b) は B 状態にある R T 素子を表す。

【図 8】図 8 は、I R T 素子を表す図である。図 8 (a) は A 状態、図 8 (b) は B 状態にある I R T 素子を表す。

【図 9】図 9 は、入力線の信号に対する R T の操作を表す図である。図 9 (a) は入力線 T、図 9 (b) は入力線 S から信号が入力した場合の R T の操作を表す。

【図 10】図 10 は、入力線の信号に対する I R T の操作を表す図である。

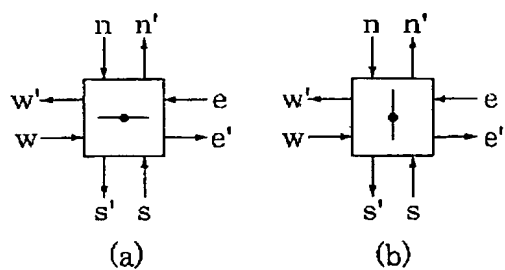
【図 11】図 11 は、R T と I R T によって実現される C-D モジュールをあらわす図である。

【図 12】図 12 は、R T と I R T によって実現される R E を表す図である。

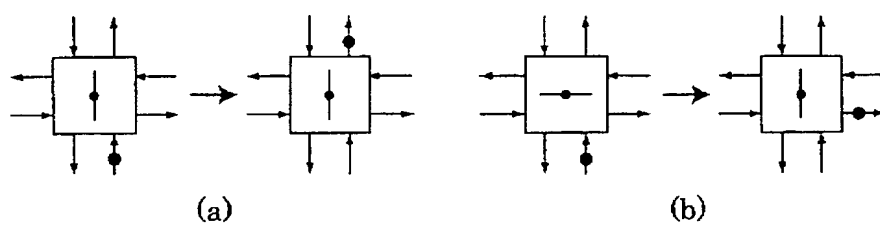
【書類名】

図面

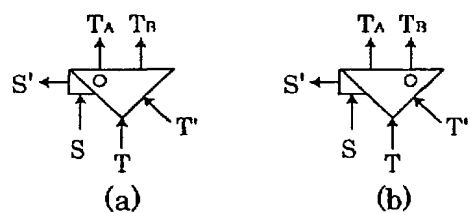
【図 1】



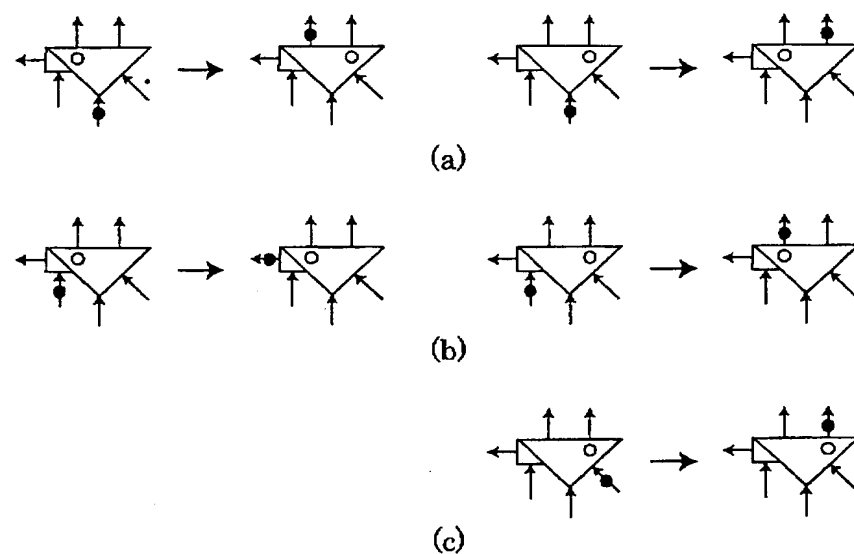
【図 2】



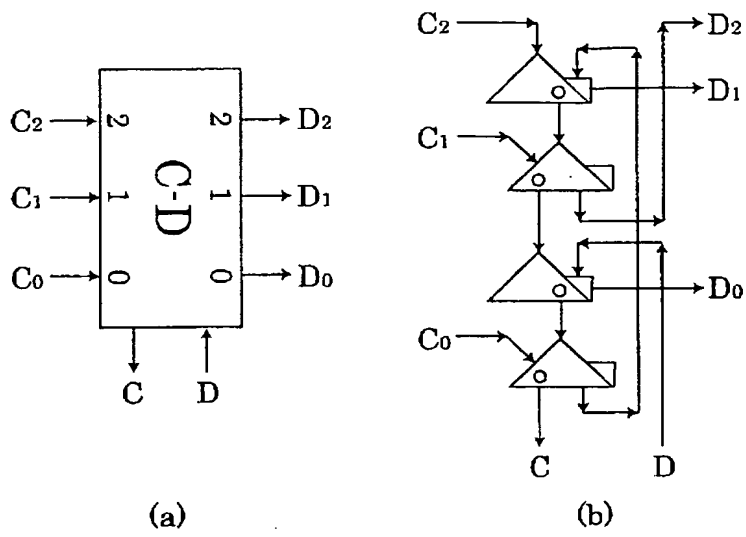
【図 3】



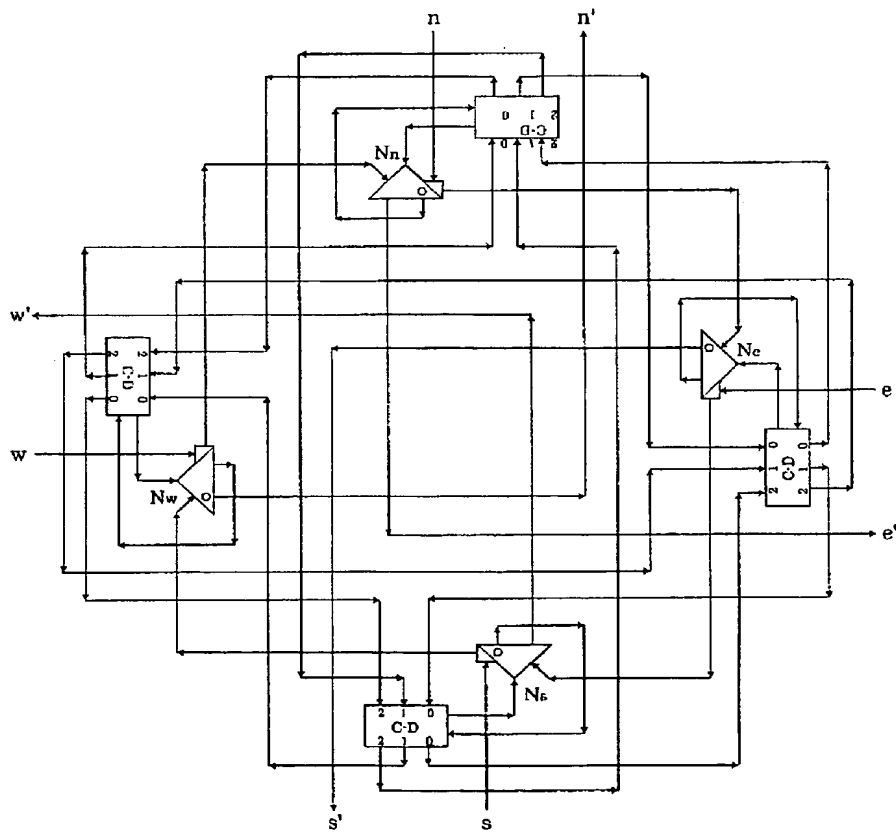
【図 4】



【図 5】

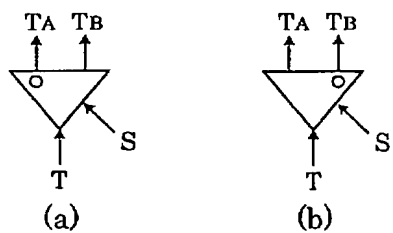


【図 6】

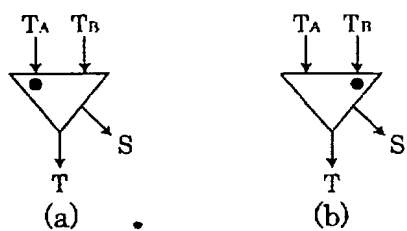




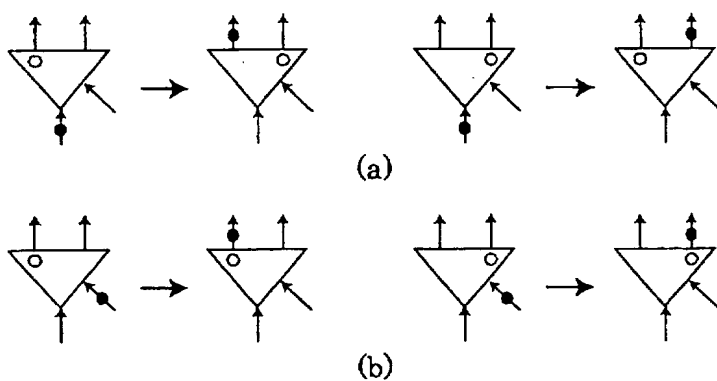
【図 7】



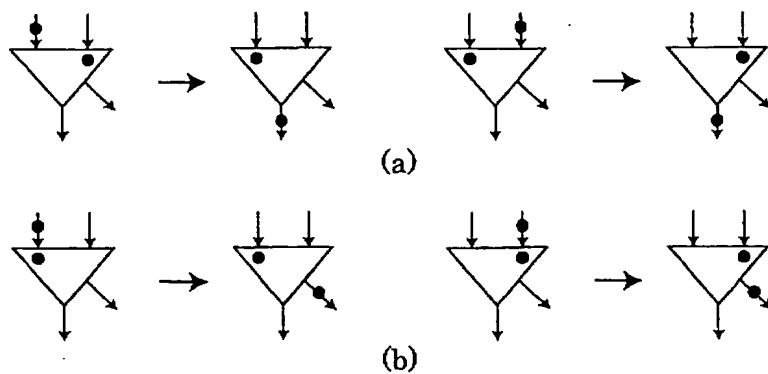
【図 8】



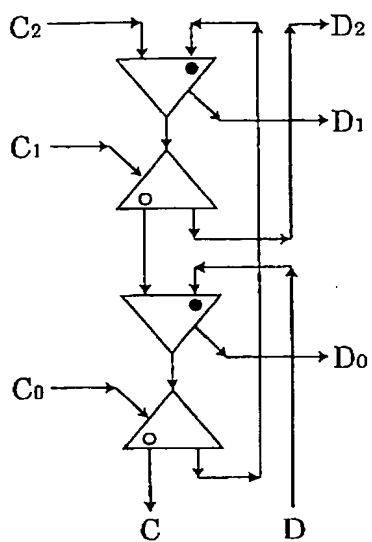
【図 9】



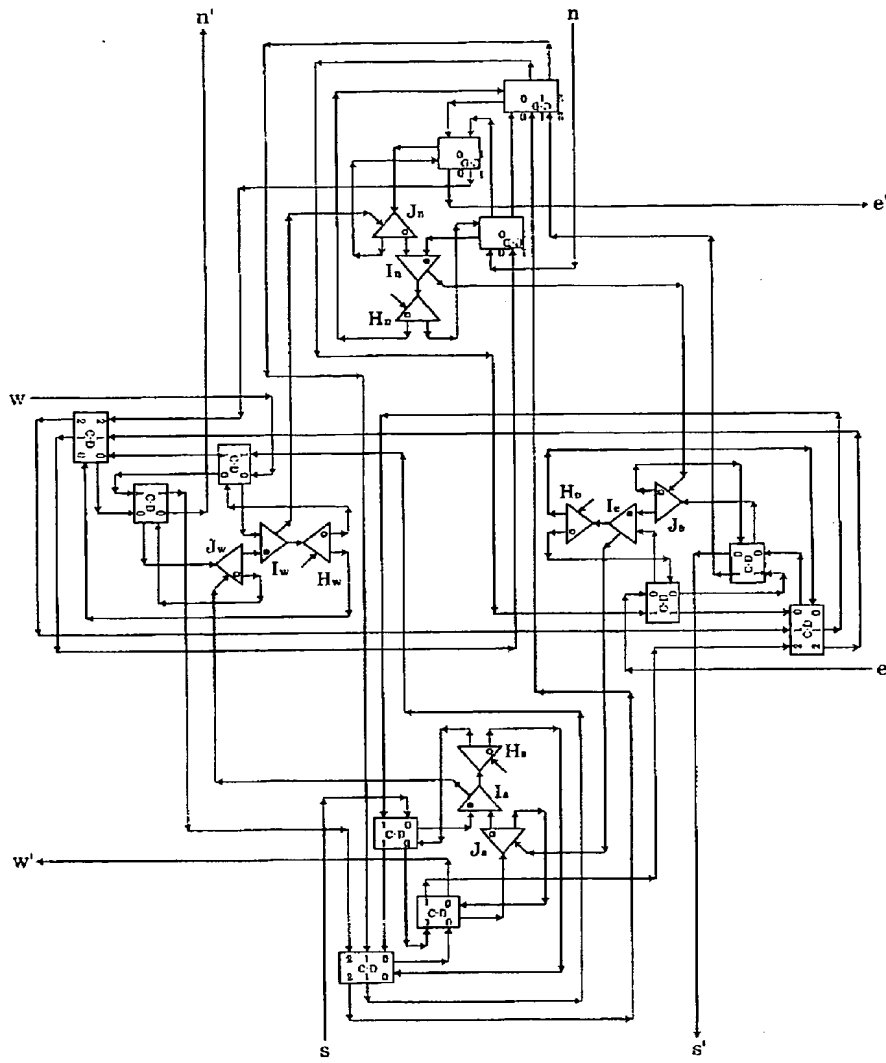
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 従来の R E に比べて入出力線の本数の少ない可逆素子、及びそのような可逆素子を用いた回路を提供することを目的とする。

【解決手段】 3 本の入力線、3 本の出力線および 2 つの状態をもつ 6 線素子、およびいずれも 2 本の入力線、2 本の出力線および 2 つの状態をもつ論理的に逆の 2 つの 4 線素子（R T と I R T）という 3 種類の新しい可逆素子、これらの可逆素子を用いた論理回路の設計方法、コンピュータをこれらの素子として機能させるためのコンピュータ、当該コンピュータを記録した記録媒体など。

【選択図】 図 4

特願 2 0 0 3 - 0 9 6 0 7 6

出 願 人 履 歴 情 報

識別番号

[ 3 0 1 0 2 2 4 7 1 ]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都小金井市貫井北町 4 - 2 - 1

氏 名

独立行政法人通信総合研究所